



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年10月25日

出 願 番 号

Application Number:

特願2002-311122

[ST.10/C]:

[JP2002-311122]

出 願 人

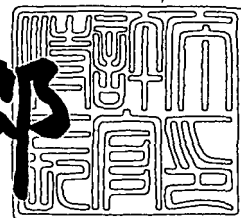
Applicant(s):

沖電気工業株式会社

2003年 2月18日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3008622

【書類名】 特許願

【整理番号】 TA000183

【提出日】 平成14年10月25日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会
社内

【氏名】 永田 敏雄

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代理人】

【識別番号】 100079049

【弁理士】

【氏名又は名称】 中島 淳

【電話番号】 03-3357-5171

【選任した代理人】

【識別番号】 100084995

【弁理士】

【氏名又は名称】 加藤 和詳

【電話番号】 03-3357-5171

【選任した代理人】

【識別番号】 100085279

【弁理士】

【氏名又は名称】 西元 勝一

【電話番号】 03-3357-5171

【選任した代理人】

【識別番号】 100099025

【弁理士】

【氏名又は名称】 福田 浩志

【電話番号】 03-3357-5171

【手数料の表示】

【予納台帳番号】 006839

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9714945

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 ポリシリコン層上にトンネル酸化膜を形成するトンネル酸化膜形成工程を含む半導体装置の製造方法であって、

前記トンネル酸化膜形成工程が、前記ポリシリコン層上に、シリコン窒化膜を介してCVD法によりシリコン酸化膜成膜後、酸素アニール処理を施してトンネル酸化膜を形成する、

ことを特徴する半導体装置の製造方法。

【請求項 2】 前記トンネル酸化膜形成工程において、前記酸素アニール処理がウェット方式で施され、その処理時間が、5分～10分であることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】 前記トンネル酸化膜形成工程において、前記酸素アニール処理がウェット方式で施され、その処理温度が、850℃～900℃であることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 4】 ポリシリコン層上にトンネル酸化膜を形成するトンネル酸化層形成工程を含む半導体装置の製造方法であって、

前記トンネル酸化膜形成工程が、前記ポリシリコン層上に、シリコン酸窒化膜を介してCVD法によりシリコン酸化膜成膜後、酸素アニール処理を施してトンネル酸化膜を形成する、

ことを特徴する半導体装置の製造方法。

【請求項 5】 前記トンネル酸化膜形成工程において、前記シリコン酸窒化膜とHTO膜とを連続的に成膜することを特徴とする請求項 4 に記載の半導体装置の製造方法。

【請求項 6】 前記トンネル酸化膜形成工程において、前記酸素アニール処理がドライ方式で施され、その処理時間が、30分～60分であることを特徴とする請求項 4 に記載の半導体装置の製造方法。

【請求項 7】 前記トンネル酸化膜形成工程において、前記酸素アニール処理がドライ方式で施され、その処理温度が、850℃～900℃であることを特

徴とする請求項 4 に記載の半導体装置の製造方法。

【請求項 8】 前記トンネル酸化膜形成工程において、前記酸素アニール処理がウェット方式で施され、その処理時間が、5 分～6 0 分であることを特徴とする請求項 4 に記載の半導体装置の製造方法。

【請求項 9】 前記トンネル酸化膜形成工程において、前記酸素アニール処理がウェット方式で施され、その処理温度が、8 5 0℃～9 0 0℃であることを特徴とする請求項 4 に記載の半導体装置の製造方法。

【請求項 1 0】 シリコン基板上に、第 1 のフローティングゲートと、第 1 のフローティングゲート上に設けられるトンネル酸化膜と、少なくとも前記第 1 のフローティングゲートのエッジ部に重畳させて設けられる第 2 のフローティングゲートと、を含んで構成される半導体装置の製造方法であって、

前記トンネル酸化膜を、第 1 のフローティングゲート上に、シリコン窒化膜を介して C V D 法によりシリコン酸化膜成膜後、酸素アニール処理を施して形成する、

ことを特徴する半導体装置の製造方法の製造方法。

【請求項 1 1】 前記トンネル酸化膜形成工程において、前記酸素アニール処理がウェット方式で施され、その処理時間が、5 分～1 0 分であることを特徴とする請求項 1 0 に記載の半導体装置の製造方法。

【請求項 1 2】 前記トンネル酸化膜形成工程において、前記酸素アニール処理がウェット方式で施され、その処理温度が、8 5 0℃～9 0 0℃であることを特徴とする請求項 1 0 に記載の半導体装置の製造方法。

【請求項 1 3】 シリコン基板上に、第 1 のフローティングゲートと、第 1 のフローティングゲート上に設けられるトンネル酸化膜と、少なくとも前記第 1 のフローティングゲートのエッジ部に重畳させて設けられる第 2 のフローティングゲートと、を含んで構成される半導体装置の製造方法であって、

前記トンネル酸化膜を、第 1 のフローティングゲート上に、シリコン酸窒化膜を介して C V D 法によりシリコン酸化膜成膜後、酸素アニール処理を施して形成する、

ことを特徴する半導体装置の製造方法。

【請求項 1 4】 前記トンネル酸化膜形成工程において、前記シリコン酸窒化膜と H T O 膜とを連続的に成膜することを特徴とする請求項 1 3 に記載の半導体装置の製造方法。

【請求項 1 5】 前記酸素アニール処理がドライ方式で施され、その処理時間が、3 0 分～6 0 分であることを特徴とする請求項 1 3 に記載の半導体装置の製造方法。

【請求項 1 6】 前記酸素アニール処理がドライ方式で施され、その処理温度が、8 5 0 ℃～9 0 0 ℃であることを特徴とする請求項 1 3 に記載の半導体装置の製造方法。

【請求項 1 7】 前記酸素アニール処理がウェット方式で施され、その処理時間が、5 分～6 0 分であることを特徴とする請求項 1 3 に記載の半導体装置の製造方法。

【請求項 1 8】 前記酸素アニール処理がウェット方式で施され、その処理温度が、8 5 0 ℃～9 0 0 ℃であることを特徴とする請求項 1 3 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、フラッシュメモリーなどに利用されるトンネル酸化膜を形成する工程を含む半導体装置の製造方法あり、詳しくは、CVD (Chemical Vapor Deposition) により成膜されたシリコン酸化膜 (H T O 膜: High-Temperature-Oxide) を酸素アニール処理してトンネル酸化膜を形成する工程を含む半導体装置の製造方法に関する。

【0 0 0 2】

【従来技術】

従来、トンネル酸化膜は、CVD により成膜された H T O 膜 (SiO_2 膜) を酸素アニール処理することにより膜改質 (緻密化) して形成している。その酸素アニール処理は、通常、希釈酸素アニール (9 0 0 ℃、1 % O_2 (9 9 %)、1 5 分) で行っている。また、この酸素アニール処理条件は、アニール処理前後の

HTO膜厚増加が10Å（1nm）以下に収まる様に設定している。これは、この膜厚増加が10Å（1nm）以上になるとデバイス特性劣化原因につながる可能性があるためである。この様にして得られたSiO₂膜をフラッシュメモリーなどのトンネル酸化膜として適応してきた。

【0003】

しかし、以上に述べたトンネル酸化膜は、シリコン基板やポリシリコン膜（多結晶シリコン膜）表面に酸素アニール処理を施して得られた通常の熱酸化膜に比べて電氣的にリークが多い膜であり、デバイス特性に影響を与える可能性がある。ここで、図7に、HTO膜に希釈酸素アニール処理（900℃、Dry 1% O₂（99%） 15分）を施した膜をトンネル膜とした場合と、熱酸化膜をそれとした場合の耐圧を比較したデータである。これより熱酸化膜に比べてHTO膜+希釈酸素アニール処理は、電流が流れ易い膜になっていることがわかる。これは酸素アニール処理によるHTO膜の改質が充分に行われておらず、シリコンの不対電子がHTO膜中に残存し、リークが多い膜になっていることが考えられる。例えば、この様なリークが多い膜を、フラッシュメモリーなどに対して適用することは、電荷保持特性が劣化し、歩留り、信頼性低下の要因になり問題点があった。

【0004】

また、上述のように、ポリシリコン膜上にCVDにより成膜されたHTO膜（SiO₂膜）を成膜し、酸素アニール処理を施して得られるトンネル酸化膜の絶縁破壊破壊耐性（耐圧）を向上させることが求められているが、HTO膜を十分に改質するため、酸化処理能力の高い酸素アニール処理を施すと、ポリシリコン膜上にトンネル酸化膜を形成する場合、酸化スピードが速く、下層のポリシリコン膜までも酸化させてしまうといった問題もでてくる。

【0005】

ところで、熱酸化膜の場合には、絶縁破壊破壊耐性を向上させること（リークの少なくさせる）を目的として、シリコン基板やポリシリコン膜（多結晶シリコン膜）表面に酸素アニール処理を施す際、高温処理、低温処理との2つ段階の酸素アニール処理を行なうことが提案されている（例えば、特開平8-25590

5号)。この提案では、2段階の酸素アニール処理を施すことで、絶縁破壊耐性を向上させている。

【0006】

この提案のように、HTO膜に酸素アニール処理を施したトンネル酸化膜でも、HTO膜を十分に改質し、少しでも熱酸化膜の特性に近づけることが求められている。

【0007】

【特許文献1】

特開平8-255905号

【0008】

【発明が解決しようとする課題】

従って、本発明は、前記従来における諸問題を解決し、以下の目的を達成することを課題とする。即ち、本発明の目的は、下層のポリシリコン膜を酸化させることなく、酸素アニールによりHTO膜を十分に改質させ、電氣的にリークが少ないトンネル酸化膜を形成する半導体装置の製造方法を提供することである。

【0009】

【課題を解決するための手段】

上記課題は、以下の手段により解決される。即ち、本発明は、

第1の本発明は、ポリシリコン層上にトンネル酸化膜を形成するトンネル酸化膜形成工程を含む半導体装置の製造方法であって、

前記トンネル酸化膜形成工程が、前記ポリシリコン層上に、シリコン窒化膜を介してCVD法によりシリコン酸化膜成膜後、酸素アニール処理を施してトンネル酸化膜を形成する、ことを特徴する。

【0010】

第1の本発明において、前記酸素アニール処理がウェット方式で施される場合、その処理時間は、5分～10分であることが好適であり、その処理温度は、850℃～900℃であることが好適である。

【0011】

第2の本発明は、ポリシリコン層上にトンネル酸化膜を形成するトンネル酸化

層形成工程を含む半導体装置の製造方法であって、

前記トンネル酸化膜形成工程が、前記ポリシリコン層上に、シリコン酸窒化膜を介してCVD法によりシリコン酸化膜成膜後、酸素アニール処理を施してトンネル酸化膜を形成する、ことを特徴する。

【0012】

第2の本発明において、前記酸素アニール処理がドライ方式で施される場合、その処理時間は、30分～60分であることが好適であり、その処理温度は、850℃～900℃であることが好適である。また、前記酸素アニール処理がウェット方式で施される場合、その処理時間は、5分～60分であることが好適であり、その処理温度は、850℃～900℃であることが好適である。

【0013】

第2の本発明において、シリコン酸窒化膜とHTO膜とを連続的に成膜することも好適に行なわれる。

【0014】

上記第1及び第2の本発明は、シリコン基板上に、第1のフローティングゲートと、第1のフローティングゲート上に設けられるトンネル酸化膜と、少なくとも前記第1のフローティングゲートのエッジ部に重畳させて設けられる第2のフローティングゲートと、を含んで構成される半導体装置の製造方法における、トンネル酸化膜を形成する際に、好適に適用することができる。

【0015】

【実施の形態】

以下、本発明の実施の形態を図面を参照して説明する。なお、実質的に同様の機能を有するものには、全図面通して同じ符号を付して説明し、場合によってはその説明を省略することがある。

【0016】

（第1の実施の形態）

第1の実施の形態は、ポリシリコン膜上に、窒化膜を介してトンネル酸化膜を形成する形態である。この実施形態では、まず、ポリシリコン膜上に、例えば、15～20Å（1.5～2.0nm）程度の窒化膜を成膜する。この窒化膜は、

例えば、LP-CVD (Low pressure chemical vapor deposition) 装置を用い、 NH_3 ガス雰囲気下、温度を $800 \sim 850^\circ\text{C}$ 、圧力 $3.0 \sim 4.0 \text{ torr}$ 、流量 $2 \sim 3 \text{ sccm}$ 、時間は $20 \sim 30$ 分の処理を行い成膜する。

【0017】

そして、窒化膜上に、CVD法によりHTO膜を成膜した後、酸素アニール処理を施してトンネル酸化膜を形成する。HTO膜は、例えば、LP-CVD (Low pressure chemical vapor deposition) 装置を用い、 SiH_4 ガス及び N_2O ガス雰囲気下、温度を 780°C 、圧力 0.36 torr 、流量 $75:150 \text{ sccm}$ ($\text{SiH}_4:\text{N}_2\text{O}$)、時間は $20 \sim 30$ 分の処理を行い成膜する。

【0018】

この酸素アニール処理は、例えば、ウェット (wet) 方式で、処理温度 $850^\circ\text{C} \sim 900^\circ\text{C}$ (好ましくは $850^\circ\text{C} \sim 880^\circ\text{C}$)、水分濃度 $80\% \sim 100\%$ (好ましくは、 $90\% \sim 100\%$)、処理時間 $5 \text{ 分} \sim 10 \text{ 分}$ (好ましくは $5 \text{ 分} \sim 8 \text{ 分}$) という、酸化能力の高い処理が施される。

【0019】

本実施形態では、窒化膜を介して、ポリシリコン膜上にHTO膜を成膜するので、ポリシリコン膜を酸化させることなく、酸化能力の高い酸素アニール処理を施すことができる。このように酸化能力の高いアニールを行うことにより、現行よりHTO膜中のシリコンの不対電子が減少し、結果的にHTO膜の改質効果が期待できる電氣的なリークの少ない膜となる。これにより電荷保持特性が向上し、デバイスの信頼性が向上する効果が得られる。

【0020】

ここで、図1に、ポリシリコン膜上に成膜されたHTO膜を希釈酸素アニール (900°C 、Dry $1\% \text{ O}_2$ ($99\% \text{ N}_2$) 15 分) してトンネル酸化膜を形成したもの (従来方法) と、窒化膜 ($15 \sim 18 \text{ \AA}$ ($1.5 \sim 1.8 \text{ nm}$)) 介して、ポリシリコン膜上に成膜されたHTO膜を酸素アニール (850°C 、Wet O_2 ($\text{H}_2:\text{O}_2:\text{N}_2 = 1:1:0$)、 5 分) してトンネル酸化膜を形成した

ものとの耐圧データを示す。この耐圧データは、測定面積 20 mm^2 、測定数 56 ポイントで測定を行ない、判定電流 $1 \times 10^{-6}\text{ A/cm}$ の所で得られた耐圧値をグラフに示した。

【 0 0 2 1 】

この図 1 の結果より、従来に比べて、本実施形態で形成したトンネル酸化膜は耐圧 (MV/cm) が高く、絶縁性が良くなっていることがわかる (同一電流: $1 \times 10^{-6}\text{ A/cm}$ にて比較)。つまり、本実施形態では、従来に比べて電氣的にリークが少なく、HTO 膜が改質されていることがわかる。

【 0 0 2 2 】

(第 2 の実施の形態)

第 2 の実施の形態は、上記第 1 の実施形態に対して、窒化膜の代わりに、酸窒化膜を介して、ポリシリコン膜上にトンネル酸化膜を形成する形態である。この実施形態では、ポリシリコン膜上に、例えば、 $8 \sim 10\text{ \AA}$ ($0.8 \sim 1.0\text{ nm}$) 程度の酸窒化膜を成膜する。この酸窒化膜は、例えば、縦型拡散炉を用い、 N_2O ガス雰囲気下、温度 900°C 、圧力 $76 \sim 80\text{ torr}$ 、流量 $1.0 \sim 1.2\text{ slm}$ 、時間 $30 \sim 40$ 分で処理を行い成膜する。そして、窒化膜上に、HTO 膜を成膜した後、酸素アニール処理を施してトンネル酸化膜を形成する。

【 0 0 2 3 】

この酸素アニール処理は、例えば、ウェット (wet) 方式の場合、処理温度 $850^\circ\text{C} \sim 900^\circ\text{C}$ (好ましくは $850^\circ\text{C} \sim 880^\circ\text{C}$)、水分濃度 $80\% \sim 100\%$ (好ましくは、 $90\% \sim 100\%$)、処理時間 $5\text{ 分} \sim 60\text{ 分}$ (好ましくは $5\text{ 分} \sim 8\text{ 分}$)、ドライ (dry) 方式の場合、処理温度 $850^\circ\text{C} \sim 900^\circ\text{C}$ (好ましくは $850^\circ\text{C} \sim 880^\circ\text{C}$)、酸素濃度 $80\% \sim 100\%$ (好ましくは、 $90\% \sim 100\%$)、処理時間 $30\text{ 分} \sim 60\text{ 分}$ (好ましくは、 $30\text{ 分} \sim 40\text{ 分}$) という、酸化能力の高い処理が施される。

【 0 0 2 4 】

本実施形態では、酸窒化膜を介して、ポリシリコン膜上に HTO 膜を成膜するので、ポリシリコン膜を酸化させることなく、酸化能力の高い酸素アニール処理を施すことができる。このように酸化能力の高いアニールを行うことにより、現

行よりHTO膜中のシリコンの不対電子が減少し、結果的にHTO膜の改質効果が期待できる電氣的なリークの少ない膜となる。これにより電荷保持特性が向上し、デバイスの信頼性が向上する効果が得られる。

【0025】

ここで、図2に、ポリシリコン膜上に成膜されたHTO膜を希釈酸素アニール（900℃、Dry 1%O₂（99%N₂） 15分）してトンネル酸化膜を形成したもの（従来方法）と、酸窒化膜（8～10Å（0.8～1.0nm））介して、ポリシリコン膜上に成膜されたHTO膜を酸素アニール（条件①850℃、Dry 100%O₂ 30分、条件②850℃、Wet O₂（H₂:O₂:N₂=1:1:0） 5分）してトンネル酸化膜を形成したものとの耐压データを示す。

【0026】

図2の結果から、第1の実施の形態と同様に、従来に比べて、本実施形態で形成したトンネル酸化膜は耐压（MV/cm）が高く、絶縁性が良くなっていることがわかる（同一電流： 1×10^{-6} A/cmにて比較）。つまり、本実施形態では、従来に比べて電氣的にリークが少なく、HTO膜が改質されていることがわかる。

【0027】

さらに、第1の実施の形態では、ドライ方式の酸素アニール処理では、従来に比べ耐压（MV/cm）が高くならなかったが、本実施形態では、ウェット方式のみならず、ドライ方式の酸素アニール処理でも、従来より電氣的に優位差が見られることもわかる。

【0028】

なお、本実施形態では、酸窒化膜とHTO膜を連続的に成膜することもできる（以下、*insitu*酸窒化処理という）。HTO膜は、SiH₄及びN₂Oガスを気相成長（CVD）により形成しているので、その成膜ステップ前に、N₂Oガスを用いて酸窒化膜を形成することもできる。

【0029】

例えば、*insitu*酸窒化処理シーケンスでは、まず、ボート内に100枚

のウエハーをチャージし、700℃の温度下でボートを装置内挿入する（ボート Load）。そして、装置内をリークチェック、温度安定化を図る。そして、N₂Oガスを導入し、NH₃ガス雰囲気下、温度を900℃、圧力3.0～4.0 torr、流量1.0～1.2 sccm、時間20～30分の条件で、酸窒化膜を成膜する。次に、SiH₂Cl₂ガス及びN₂Oガスを導入し、SiH₂Cl₂ガス及びN₂Oガス雰囲気下、温度780℃、圧力0.36 torr、流量75:150 sscm（SiH₂Cl₂:N₂O）、時間20～30分の条件で、HTO膜を成膜する。その後、装置内をパージ、常圧復帰させ、700℃の温度下でボートを装置内から取出す（ボート Unload）。そして、ボート内から100枚のウエハーをディスチャージする。

【0030】

このようにして、酸窒化膜とHTO膜を連続的に成膜される。酸窒化膜とHTO膜を連続的に成膜することで、工程削減及びスループット向上させることができる。

【0031】

ここで、図3に、ポリシリコン膜上に成膜されたHTO膜を希釈酸素アニール（900℃、Dry 1%O₂（99%N₂） 15分）してトンネル酸化膜を形成したもの（従来方法）と、上記insitu酸窒化処理シーケンスにより酸窒化膜（8～10 Å（0.8～1.0 nm））及びHTO膜を連続的に成膜し、この酸窒化膜（8～10 Å（0.8～1.0 nm））を介してポリシリコン膜上に成膜されたをHTO膜に酸素アニール（条件①850℃、Dry 100%O₂ 30分、条件②850℃、Wet O₂（H₂:O₂:N₂=1:1:0） 5分）してトンネル酸化膜を形成したものとの耐圧データを示す。

【0032】

図3の結果からも、上記図2の結果と同様に、従来に比べて、上記insitu酸窒化処理シーケンスにより酸窒化膜（8～10 Å（0.8～1.0 nm））及びHTO膜を連続的に成膜した場合でも、酸窒化膜（8～10 Å（0.8～1.0 nm））を介してポリシリコン膜上に成膜されたをHTO膜は、耐圧（MV/cm）が高く、絶縁性が良くなっていることがわかる（同一電流：1×10⁻⁶

A/cmにて比較)。

【0033】

なお、本実施形態では、酸化能力の高い酸化アニール処理として、アニール処理の長時間化を図ることができる。ここで、図4には、酸窒化膜(8~10 Å (0.8~1.0 nm))を介して、ポリシリコン膜上に成膜されたHTO膜を酸素アニール(条件①850℃、Dry 100%O₂ 30分、条件②850℃、Dry 100%O₂ 60分、条件③850℃、Dry 100%O₂ 90分、条件④850℃、Wet O₂ (H₂:O₂:N₂=1:1:0) 5分 条件⑤850℃、Wet O₂ (H₂:O₂:N₂=1:1:0) 15分、条件⑥850℃、Wet O₂ (H₂:O₂:N₂=1:1:0) 30分、)してトンネル酸化膜を形成したものとの膜厚を示す。

【0034】

図4の結果から、酸素アニール処理時間が、ドライ方式の場合60分を超えると、ウェット方式の場合15分を超えると、酸素アニール処理後のHTO膜の膜厚増加量が10 Å (1 nm)を超えることがわかる(この場合、酸素アニール処理後のHTO膜の膜厚は160 Å (16 nm)以下)。この酸素アニール処理後の膜厚増加量が10 Å (1 nm)を超えると、デバイス特性の劣化原因につながる可能性がでてくるため、酸素アニール処理時間は、長時間化してもその上限はドライ方式の場合60分以下、ウェット方式の場合15分以下が好適であることがわかる。

【0035】

また、ここで、図5に、上記*in situ*酸窒化処理シーケンスにより酸窒化膜(8~10 Å (0.8~1.0 nm))及びHTO膜を連続的に成膜し、この酸窒化膜(8~10 Å (0.8~1.0 nm))を介してポリシリコン膜上に成膜されたものをHTO膜に酸素アニール(条件①850℃、Dry 100%O₂ 30分、条件②850℃、Dry 100%O₂ 60分、条件③850℃、Wet O₂ (H₂:O₂:N₂=1:1:0) 5分、条件④850℃、Wet O₂ (H₂:O₂:N₂=1:1:0) 15分)してトンネル酸化膜を形成したものとの耐圧データを示す。

【 0 0 3 6 】

図 5 の結果から、上述のように、酸素アニール処理後の膜厚増加量が 10 \AA (1 nm) 以下となるように処理時間を長時間化すれば、デバイス特性が劣化することなく、従来に比べより効果的に、耐圧 (MV/cm) が高く、絶縁性が良くなっていることがわかる (同一電流: $1 \times 10^{-6} \text{ A/cm}$ にて比較)。

【 0 0 3 7 】

(第 3 の実施の形態)

第 3 の実施の形態は、例えば、SST 型のフラッシュメモリなどの半導体装置 (半導体記憶装置) に、上記 1 ~ 2 の実施の形態を適用させた形態である。

【 0 0 3 8 】

本実施形態において適用される半導体装置 10 をその製造方法に従って説明する。図 6 に示すように、半導体装置 10 は、シリコン基板 12 上にゲート絶縁膜 14 を形成し、このゲート絶縁膜 14 を介してポリシリコン膜からなる第 1 フローティングゲート 16 を形成する。第 1 フローティングゲート 16 上にトンネル酸化膜 18 (HTO 膜) を形成し、シリコン基板 12 上にトンネル酸化膜 18 を介してポリシリコン膜からなる第 2 フローティングゲート 20 を、第 1 フローティングゲート 16 のエッジ部 16a と重畳させて形成する。そして、第 1 フローティングゲート 16 及び第 2 フローティングゲート 20 上にゲート間絶縁膜 22 を形成し、ゲート間絶縁膜 22 を介してコントロールゲート 24 を形成する。

【 0 0 3 9 】

このような構成の半導体装置では、第 1 フローティングゲート 16 のエッジ部 16a に電界集中させ、トンネル酸化膜 18 を介して、第 2 フローティングゲート 20 にキャリアをトンネルさせる。このため、第 1 フローティングゲート 16 のエッジ部 16a は、その先端が尖っていることが、トンネル動作に必要な電圧を低減させることができることから有利である。しかし、第 1 フローティングゲート 16 上に HTO 膜を成膜し、これを酸素アニール処理を施してトンネル酸化膜 18 を形成する際、酸化能力の高い酸素アニール処理を施してしまうと、ポリシリコン膜からなる第 1 フローティングゲート 16 まで酸化され、上記エッジ部 16a が丸みを帯びてしまい、トンネル動作に必要な電圧を低減させることがで

きなくなる。

【0040】

そこで、本実施形態では、上記第1及び第2の実施形態を適用、即ち、ポリシリコン膜からなる第1フローティングゲート16上に、窒化膜26又は酸窒化膜28を介してHTO膜を成膜し、酸素アニール処理を施すことで、第1フローティングゲート16のエッジ部16aが丸みを帯びることなく、電氣的にリークが少ないトンネル酸化膜18を形成することができる。

【0041】

なお、上記何れの実施の形態に係る本発明の半導体装置の製造方法においても、限定的に解釈されるものではなく、本発明の要件を満足する範囲内で実現可能であることは、言うまでもない。

【0042】

【発明の効果】

以上、本発明によれば、ポリシリコン膜上に、窒化膜を介してHTO膜を成膜し、酸素アニール処理を施すことで、下層のポリシリコン膜を酸化させることなく、電氣的にリークが少ないトンネル酸化膜を形成することができる。

また、本発明によれば、ポリシリコン膜上に、酸窒化膜を介してHTO膜を成膜し、酸素アニール処理を施すことで、ドライ方式及びウェット方式問わず、しかもより効果的に、下層のポリシリコン膜を酸化させることなく、酸素アニールによりHTO膜を十分に改質させ、電氣的にリークが少ないトンネル酸化膜を形成することができる。

【図面の簡単な説明】

【図1】 第1の実施の形態において、ポリシリコン膜上に成膜されたHTO膜を希釈酸素アニールしてトンネル酸化膜を形成したものと、窒化膜介してポリシリコン膜上に成膜されたHTO膜を酸素アニールしてトンネル酸化膜を形成したものの耐圧データを示す図である。

【図2】 第2の実施の形態において、ポリシリコン膜上に成膜されたHTO膜を希釈酸素アニールしてトンネル酸化膜を形成したものと、酸窒化膜介してポリシリコン膜上に成膜されたHTO膜を酸素アニールしてトンネル酸化膜を形

成したものの耐圧データを示す図である。

【図 3】 第 2 の実施の形態において、ポリシリコン膜上に成膜された H T O 膜を希釈酸素アニールしてトンネル酸化膜を形成したものと、ポリシリコン膜上に連続的に成膜した窒化膜及び H T O 膜を酸素アニールしてトンネル酸化膜を形成したものの耐圧データを示す図である。

【図 4】 第 2 の実施の形態において、酸窒化膜介してポリシリコン膜上に成膜された H T O 膜を酸素アニールする際、処理時間を長時間化したときのトンネル酸化膜の膜厚変化を示す図である。

【図 5】 第 2 の実施の形態において、酸窒化膜介してポリシリコン膜上に成膜された H T O 膜を酸素アニールする際、処理時間を長時間化したときの耐圧変化を示す図である。

【図 6】 第 3 の実施の形態に係る半導体装置の製造方法に提供される半導体装置を示す概略断面図である。

【図 7】 通常の熱酸化膜と、ポリシリコン膜上に成膜された H T O 膜を酸素アニールしてトンネル酸化膜を形成したものの耐圧データを示す図である。

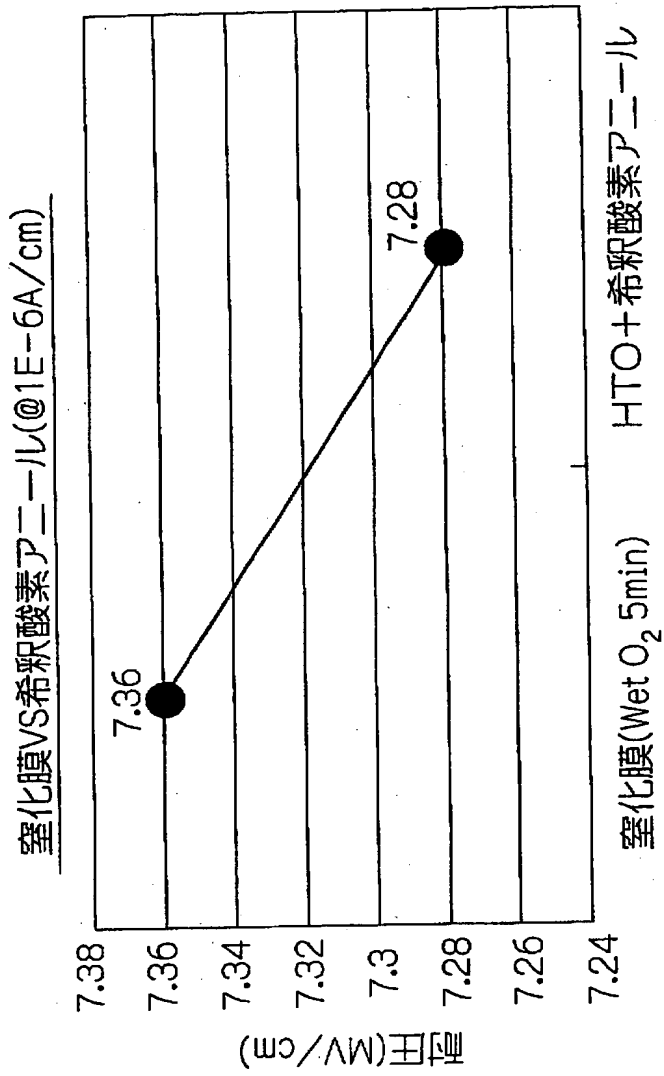
【符号の説明】

- 1 0 半導体装置
- 1 2 シリコン基板
- 1 4 ゲート絶縁膜
- 1 6 第 1 フローティングゲート
- 1 8 トンネル酸化膜 (H T O 膜)
- 2 0 第 2 フローティングゲート
- 2 2 ゲート間絶縁膜
- 2 4 コントロールゲート
- 2 6 窒化膜
- 2 8 酸窒化膜

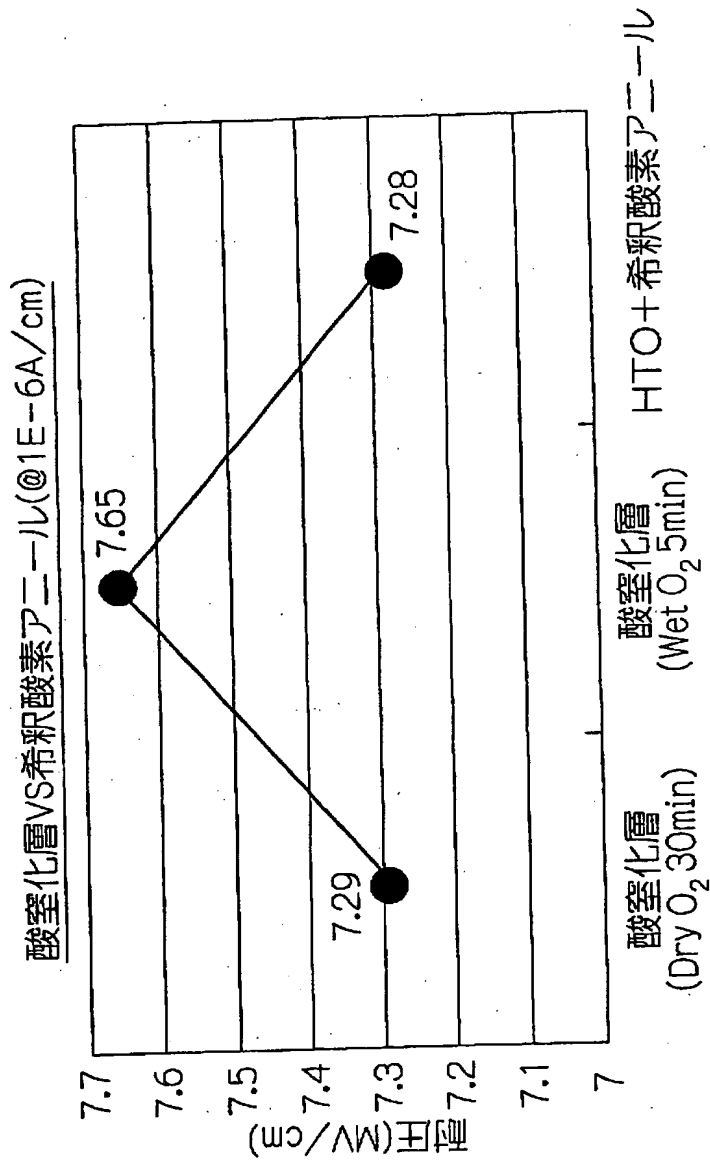
【書類名】

図面

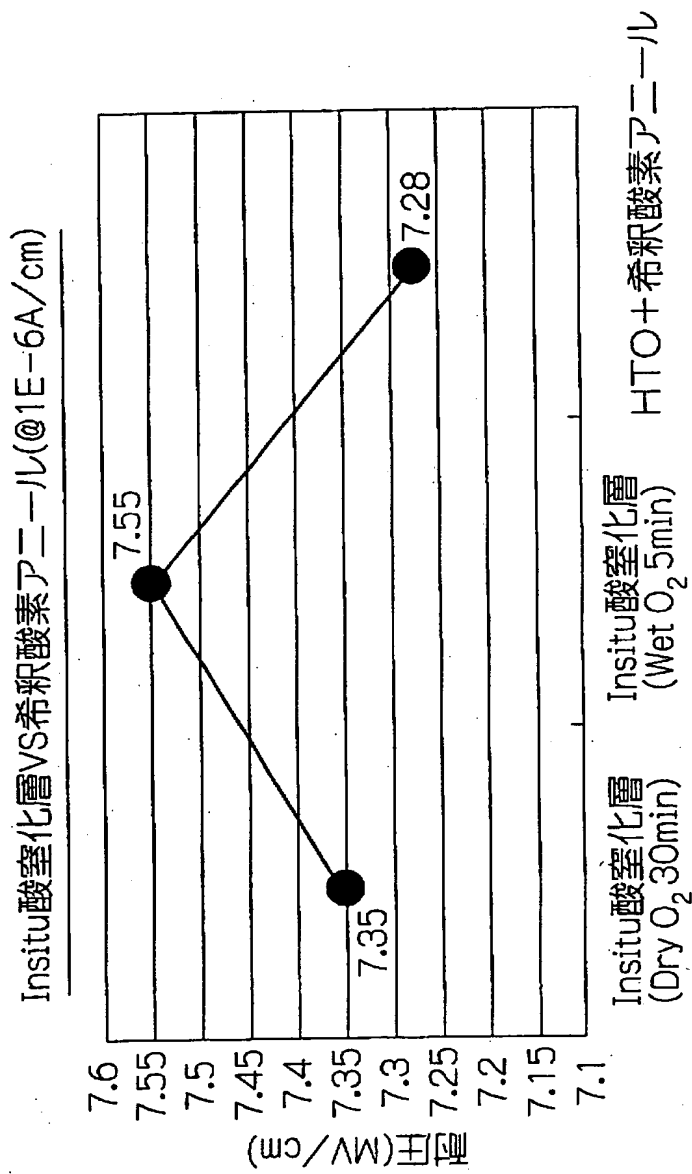
【図 1】



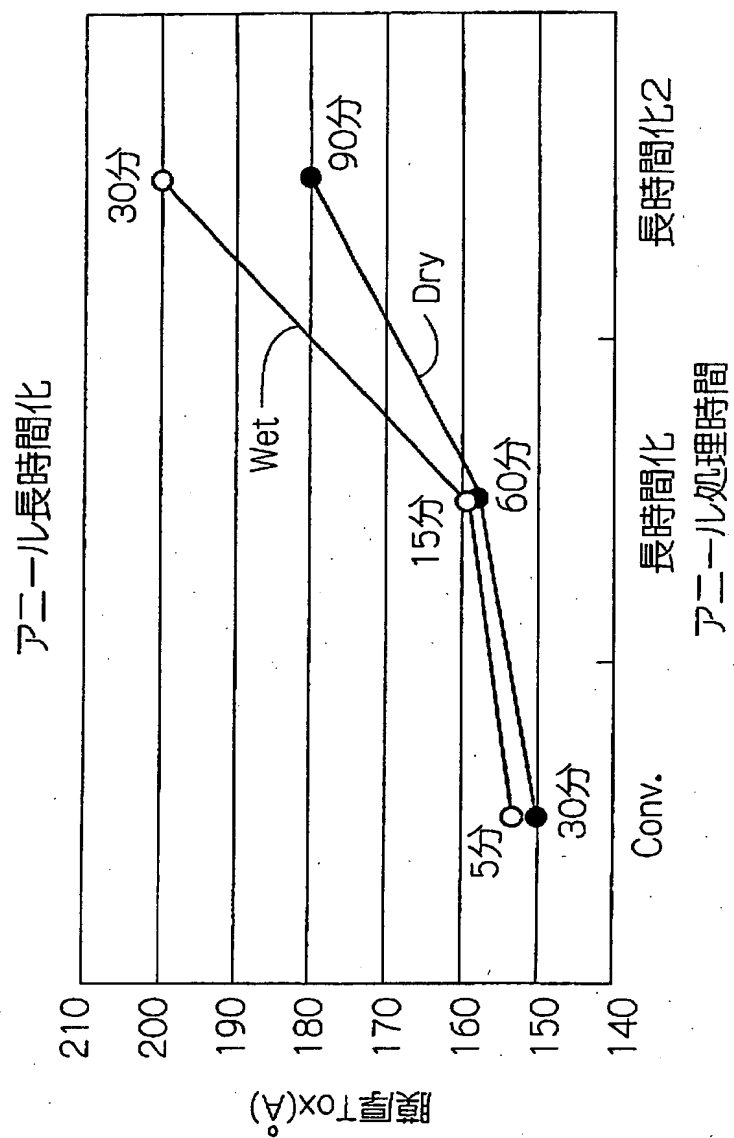
【図 2】



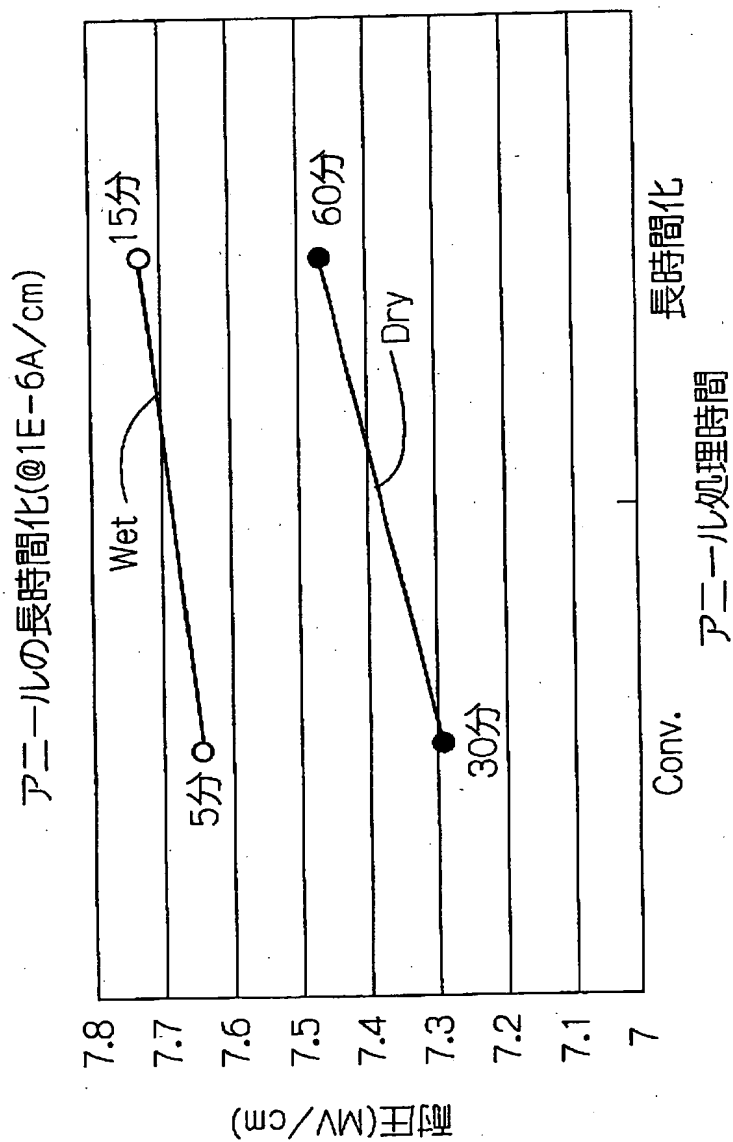
【図 3】



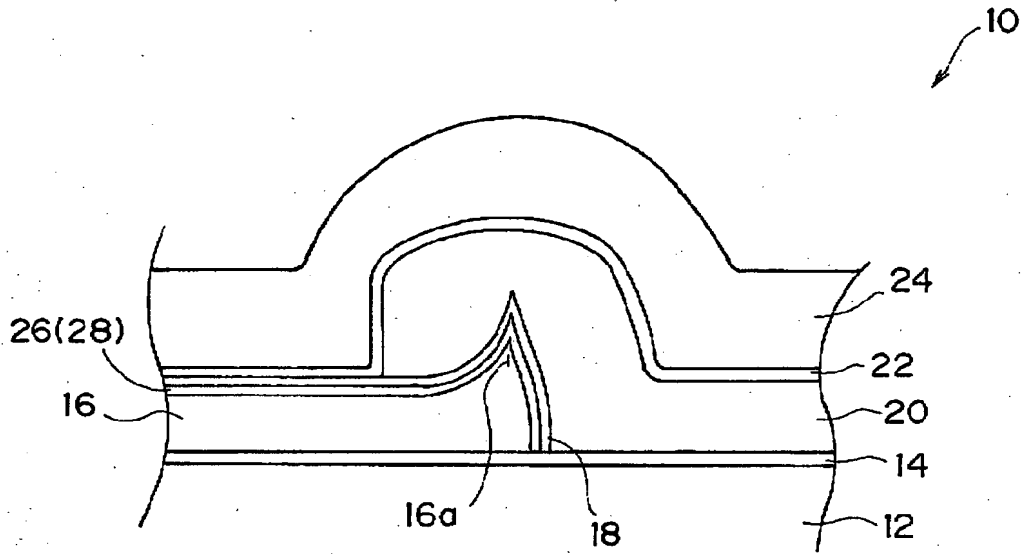
【図 4】



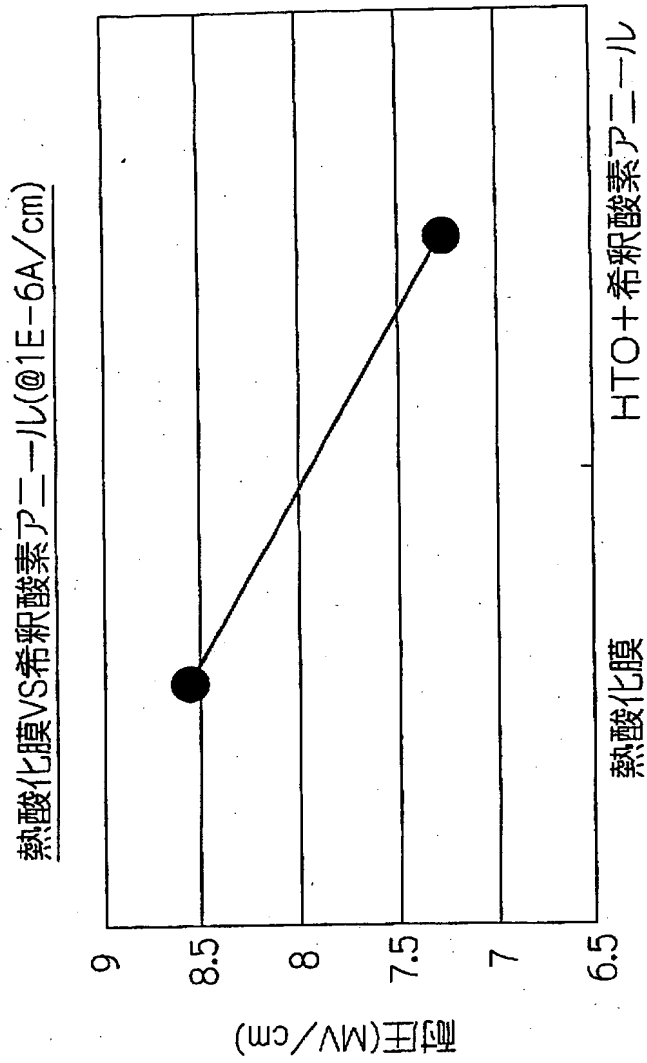
【図 5】



【図 6】



【図 7】



【書類名】 要約書

【要約】

【課題】 下層のポリシリコン膜を酸化させることなく、酸素アニールによりH
T O膜を十分に改質させ、電氣的にリークが少ないトンネル酸化膜を形成する半
導体装置の製造方法を提供すること。

【解決手段】 ポリシリコン膜からなる第1フローティングゲート16上に、窒
化膜26又は酸窒化膜28を介してH T O膜を成膜し、酸素アニール処理を施し
て、トンネル酸化膜18（H T O膜）を形成する。

【選択図】 図6

出 願 人 履 歴 情 報

識別番号 [000000295]

1. 変更年月日	1990年 8月22日
[変更理由]	新規登録
住 所	東京都港区虎ノ門1丁目7番12号
氏 名	沖電気工業株式会社